

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-302492

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁶

識別記号

F I

G 1 1 C 16/06

G 1 1 C 17/00

6 3 2 A

H 0 2 M 3/07

H 0 2 M 3/07

審査請求 未請求 請求項の数22 O L (全 17 頁)

(21) 出願番号 特願平10-45571

(22) 出願日 平成10年(1998) 2 月26日

(31) 優先権主張番号 特願平9-44344

(32) 優先日 平 9 (1997) 2 月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 番 場 博 則

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(72) 発明者 志 賀 仁

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(72) 発明者 渥 美 滋

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

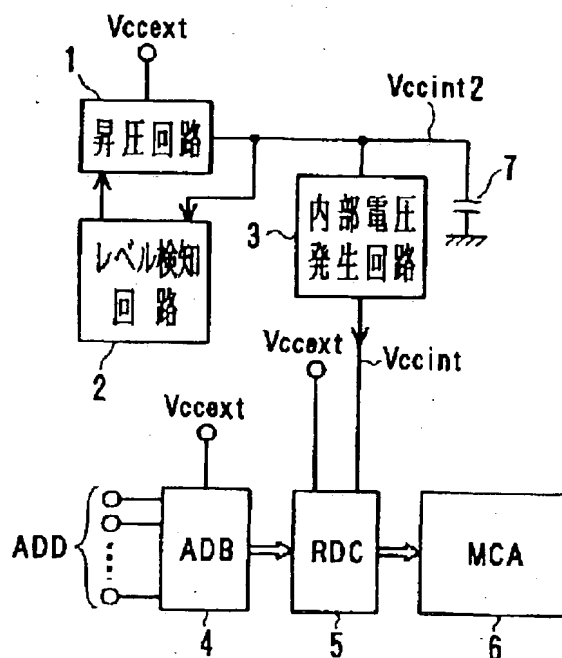
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置および記憶装置

(57) 【要約】

【課題】 フラッシュメモリ等の半導体回路に対し、外部からの電圧よりも高電圧の電源電圧を低消費電力で供給できる半導体集積回路装置および記憶装置を提供する。

【解決手段】 本発明の半導体集積回路装置は、外部電源電圧 V_{ccext} を昇圧する昇圧回路1と、昇圧電圧 V_{cci} $nt2$ の電圧変動を検知するレベル検知回路2と、昇圧電圧 V_{ccint2} に基づいて内部電圧 V_{ccint} を生成する内部電圧発生回路3と、アドレスバッファ4と、アドレスデコーダ5と、EEPROM構成のメモリセルアレイ6とを備える。レベル検知回路2は、メモリアクセス時にレベル検知を行う第1のレベル検知部と、スタンバイ時にレベル検知を行う第2のレベル検知部とを備える。スタンバイ時には、内部電圧発生回路3は昇圧電圧 V_{ccint2} と内部電圧 V_{ccint} とを短絡させる。第2のレベル検知部は、第1のレベル検知部よりも消費電力が少ないため、駆動電圧を低下させずにスタンバイ時の消費電力低減が図れる。



【特許請求の範囲】

【請求項1】外部から供給された電圧を昇圧する昇圧回路と、この昇圧回路で昇圧された昇圧電圧に応じた電圧により駆動される半導体回路とを備えた半導体集積回路装置において、

第1および第2の動作状態を有し、

前記半導体回路が前記第1の動作状態のときに、前記昇圧電圧の電圧変動を検知する第1のレベル検知回路と、前記第1のレベル検知回路よりも消費電力の少ない回路で構成され、前記半導体回路が前記第2の動作状態のときに、前記昇圧電圧の電圧変動を検知する第2のレベル検知回路とを備えることを特徴とする半導体集積回路装置。

【請求項2】前記昇圧回路は、前記第1の動作状態のときには前記第1のレベル検知回路による検知結果に基づいて前記昇圧電圧が第1の電圧になるように電圧制御を行い、前記第2の動作状態のときには前記第2のレベル検知回路による検知結果に基づいて前記昇圧電圧が第2の電圧になるように電圧制御を行うことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】前記第2のレベル検知回路の消費電力は、前記第1のレベル検知回路の4分の1以下の消費電力であることを特徴とする請求項1または2に記載の半導体集積回路装置。

【請求項4】前記昇圧電圧から内部電圧を生成する内部電圧発生回路を備え、前記内部電圧が前記半導体回路に供給されることを特徴とする請求項1～3のいずれかに記載の半導体集積回路装置。

【請求項5】前記内部電圧発生回路は、前記半導体回路が前記第1の動作状態のときには前記内部電圧を前記昇圧電圧よりも低い電圧レベルに設定し、前記半導体回路が前記第2の動作状態のときには前記内部電圧を前記昇圧電圧と略等しい電圧レベルに設定することを特徴とする請求項4に記載の半導体集積回路装置。

【請求項6】前記昇圧回路は、パルス信号を発生するパルス発生器と、このパルス信号に応じて昇圧を行うチャージポンプとを有し、

前記第2のレベル検知回路のレベル検知動作は、前記パルス信号により制御されることを特徴とする請求項1～5のいずれかに記載の半導体集積回路装置。

【請求項7】前記第2のレベル検知回路は、前記昇圧電圧の電圧変動を検知するために、前記昇圧電圧に相関する電圧を所定の電圧レベルの基準電圧と比較する差動増幅器を備え、

前記差動増幅器の消費電流は、定電流源により制御されることを特徴とする請求項1～6のいずれかに記載の半導体集積回路装置。

【請求項8】定電流源により消費電流が制御される前記基準電圧を生成する基準電圧発生回路を備えることを特

徴とする請求項7に記載の半導体集積回路装置。

【請求項9】外部から供給された電圧を昇圧する昇圧回路と、この昇圧回路で昇圧された昇圧電圧に応じた電圧により駆動される半導体回路と、前記昇圧電圧から内部電圧を生成する内部電圧発生回路とを備えた半導体集積回路装置において、

第1および第2の動作状態を有し、

前記内部電圧発生回路は、前記半導体回路が前記第1の動作状態のときには前記内部電圧を前記昇圧電圧よりも低い電圧レベルに設定し、前記半導体回路が前記第2の動作状態のときには前記内部電圧を前記昇圧電圧と略等しい電圧レベルに設定することを特徴とする半導体集積回路装置。

【請求項10】前記昇圧電圧と前記内部電圧との各ノード間に、前記第2の動作状態のときに選択的に導通するスイッチ手段を備えることを特徴とする請求項9に記載の半導体集積回路装置。

【請求項11】前記内部電圧発生回路は、前記内部電圧を前記昇圧電圧よりも低い電圧レベルに設定する第1の電圧設定モードと、前記内部電圧を前記昇圧電圧と略等しい電圧レベルに設定する第2の電圧設定モードとを有し、

前記半導体回路が前記第1の動作状態から前記第2の動作状態に移るタイミングから所定時間経過後に前記内部電圧発生回路を前記第1の電圧設定モードから前記第2の電圧設定モードに切り換え、前記半導体回路が前記第2の動作状態から前記第1の動作状態に移るタイミングと略同時に前記内部電圧発生回路を前記第2の電圧設定モードから前記第1の電圧設定モードに切り換えるモード切替回路を備えることを特徴とする請求項9または10に記載の半導体集積回路装置。

【請求項12】外部から供給された電圧を昇圧する昇圧回路と、この昇圧回路で昇圧された昇圧電圧に応じた電圧により駆動される半導体回路と、前記昇圧電圧の電圧変動を検知するレベル検知回路と、を備えた半導体集積回路装置において、

前記昇圧回路は、パルス信号を発生するパルス発生器と、このパルス信号に応じて昇圧を行うチャージポンプとを有し、

前記レベル検知回路のレベル検知動作は、前記パルス信号により制御されることを特徴とする半導体集積回路装置。

【請求項13】外部から供給された電圧を昇圧する昇圧回路と、

この昇圧回路で昇圧された昇圧電圧の電圧変動を検知するレベル検知回路と、

外部から供給された電圧から所定の電圧レベルの基準電圧を生成する基準電圧発生回路と、

前記昇圧電圧に応じた電圧により駆動される半導体回路とを備え、

前記レベル検知回路および前記基準電圧発生回路の各消費電流を、同一の定電流源により制御することを特徴とする半導体集積回路装置。

【請求項14】外部から供給された電圧を昇圧する昇圧回路と、この昇圧回路で昇圧された昇圧電圧に応じた電圧により駆動される半導体回路と、前記昇圧電圧から内部電圧を生成する内部電圧発生回路と、を備えた半導体集積回路装置において、

第1および第2の動作状態を有し、

前記内部電圧発生回路は、

前記昇圧回路および前記内部電圧発生回路の各出力端子を短絡させるか否かを切り換えるスイッチ手段と、

前記半導体回路が前記第1の動作状態から前記第2の動作状態に移した後、前記内部電圧が所定電圧以下になると、前記スイッチ手段を切り換えて前記内部電圧を前記昇圧電圧に略等しくするスイッチ制御回路と、を有することを特徴とする半導体集積回路装置。

【請求項15】前記内部電圧発生回路は、

前記半導体回路が前記第1の動作状態のときに、前記内部電圧の電圧変動を検知する第1の内部電圧検知回路と、

前記第1の内部電圧検知回路よりも消費電力の少ない回路で構成され、前記半導体回路が前記第2の動作状態のときに、前記内部電圧の電圧変動を検知する第2の内部電圧検知回路と、を備え、

前記半導体回路が前記第1の動作状態のときには、前記第1の内部電圧検知回路による検知結果に基づいて前記内部電圧の電圧制御を行い、

前記半導体回路が前記第2の動作状態のときには、前記第2の内部電圧検知回路による検知結果に基づいて前記スイッチ制御回路が前記スイッチ手段を切り換えることで前記内部電圧の電圧制御を行うことを特徴とする請求項14に記載の半導体集積回路装置。

【請求項16】外部から供給された電圧を昇圧する昇圧回路と、この昇圧回路で昇圧された昇圧電圧に応じた電圧により駆動される半導体回路と、前記昇圧電圧から内部電圧を生成する内部電圧発生回路と、を備えた半導体集積回路装置において、

第1および第2の動作状態を有し、

前記内部電圧発生回路は、

前記半導体回路が前記第1の動作状態のときに、前記内部電圧の電圧変動を検知する第1の内部電圧検知回路と、

前記第1の内部電圧検知回路よりも消費電力の少ない回路で構成され、前記半導体回路が前記第2の動作状態のときに、前記内部電圧の電圧変動を検知する第2の内部電圧検知回路と、を備えることを特徴とする半導体集積回路装置。

【請求項17】前記内部電圧発生回路は、前記半導体回路が前記第1の動作状態のときには前記内部電圧を前記

昇圧電圧よりも低い電圧レベルに設定し、前記半導体回路が前記第2の動作状態のときには前記内部電圧を前記昇圧電圧と略等しい電圧レベルに設定することを特徴とする請求項16に記載の半導体集積回路装置。

【請求項18】前記半導体回路が前記第1の動作状態のときに、前記昇圧電圧の電圧変動を検知するレベル検知回路を備え、

前記昇圧回路は、前記半導体回路が前記第1の動作状態のときには、前記レベル検知回路による検知結果に基づいて前記昇圧電圧が第1の電圧になるように電圧制御を行い、前記半導体回路が前記第2の動作状態のときには、前記第2の内部電圧検知回路による検知結果に基づいて前記昇圧電圧が第2の電圧になるように電圧制御を行うことを特徴とする請求項15または17に記載の半導体集積回路装置。

【請求項19】前記昇圧回路は、

第1のチャージポンプと、

前記第1のチャージポンプよりも駆動力の弱い第2のチャージポンプと、を有し、

前記半導体回路が前記第1の動作状態のときには、前記レベル検知回路による検知結果に基づいて前記昇圧電圧が第1の電圧になるように前記第1のチャージポンプにより電圧制御を行い、前記半導体回路が前記第2の動作状態のときには、前記第2の内部電圧検知回路による検知結果に基づいて前記昇圧電圧が第2の電圧になるように前記第2のチャージポンプにより電圧制御を行うことを特徴とする請求項18に記載の半導体集積回路装置。

【請求項20】外部から供給された電圧を昇圧する昇圧回路と、この昇圧回路で昇圧された昇圧電圧に応じた電圧により駆動される半導体回路とを備えた半導体集積回路装置において、

第1および第2の動作状態を有し、

前記昇圧回路は、

第1のチャージポンプと、

前記第1のチャージポンプよりも駆動力の弱い第2のチャージポンプと、を有し、

前記半導体回路が前記第1の動作状態のときには、前記昇圧電圧が第1の電圧になるように前記第1のチャージポンプにより電圧制御を行い、前記半導体回路が前記第2の動作状態のときには、前記昇圧電圧が前記第1の電圧と異なる第2の電圧になるように前記第2のチャージポンプにより電圧制御を行うことを特徴とする半導体集積回路装置。

【請求項21】前記半導体回路の少なくとも一部は、EE FROM構成のメモリセルアレイであり、

前記第1の動作状態は、前記メモリセルアレイに対する読み出しや書き込みを行うメモリアクセス状態であり、前記第2の動作状態は、前記メモリセルアレイに対する読み出しや書き込みを行うために待機しているスタンバイ状態であることを特徴とする請求項1～11、14

～20のいずれかに記載の記憶装置。

【請求項22】前記半導体回路の少なくとも一部は、EEPROM構成のメモリセルアレイであり、このメモリセルアレイは、前記昇圧電圧に基づいて駆動されることを特徴とする請求項1～21のいずれかに記載の半導体集積回路装置を備えた記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、外部から供給された電源電圧を昇圧して半導体回路を駆動する半導体集積回路装置および記憶装置に関し、例えば、記憶したデータを一括して消去可能なフラッシュメモリなどを対象とする。

【0002】

【従来の技術】不揮発性半導体メモリ的一种であるフラッシュメモリ（Flash memory）は、データの書き込みおよび消去を電氣的に行うことができるEEPROM（Electrically Erasable Programmable Read Only Memory）セルをマトリクス状に配置した構成になっている。

【0003】図25はこの種の不揮発性半導体メモリの構造を説明する図である。チップ内部の各メモリセルは、フローティングゲートFGとコントロールゲートCGとを有するスタックゲート型トランジスタで構成されている。図25に示すフローティングゲートFGに電子を注入したり、フローティングゲートFGから電子を放出させるとしきい値電圧が変化し、このしきい値電圧の変化を利用して各メモリセルへのデータの書き込みおよび読み出しが行われる。

【0004】より具体的には、読み出しを行いたいメモリセルのコントロールゲートCGに電源電圧を印加したときに電流が流れるか否かにより、論理「1」と「0」の判定を行う。メモリセルのしきい値電圧は、メモリセルが「1」のときに約2V、「0」のときに5V以上になる。

【0005】従来のフラッシュメモリでは、外部から供給される電源電圧と読み出し時のコントロールゲート電圧とともに5Vに設定していたため、読み出し時にコントロールゲートCGに直接この電源電圧を与えても動作的には特に支障はなかった。一方、最近では、メモリセルの微細化やメモリ容量の増大に伴って、外部から供給される電源電圧を低電圧化する必要が生じ、外部電源電圧を3Vに設定するのが現在一般化しつつある。

【0006】

【発明が解決しようとする課題】従来のように、電源電圧を5Vに設定すると、読み出し時にコントロールゲートCGに印加される電圧VGと、メモリセルが「1」のときのしきい値電圧Vthとの差は、 $V_G - V_{th} = 5 - 2 = 3V$ になる。これに対して、電源電圧が3Vの場合には、 $V_G - V_{th} = 3 - 2 = 1V$ になり、電源電圧が5Vの場合の3分の1の電圧になることから、メモリセルに

流れる電流（以下、セル電流と呼ぶ）もそれに応じて減少する。セル電流の減少は読み出し速度の減少を招くとともに、電源電圧の変動に対する余裕度もなくなる。

【0007】このため、外部から供給される3Vの電源電圧（以下、外部電源電圧Vccextと呼ぶ）をチップ内部で昇圧して内部電圧Vccintを生成し、この内部電圧Vccintをメモリセルのコントロールゲートに印加する手法が提案されている。この内部電圧Vccintは、メモリセルに対する読み出しや書き込みを行わないスタンバイ状態でも、5Vに設定する必要がある。仮に、スタンバイ時に5Vより低い電圧を設定すると、スタンバイ状態からメモリアクセス状態に切り替えた時点から内部電圧Vccintの電圧レベルを上げ始めなければならず、内部電圧Vccintが5Vになるまでに時間がかかり、その間メモリセルに対する読み出しを行えなくなる。

【0008】このように、スタンバイ状態とメモリアクセス状態とは、内部電圧Vccintの電圧レベルを同じに設定する必要があるが、フラッシュメモリなどの不揮発性メモリは、電池やバッテリーなどで駆動する携帯機器に用いられることが多く、スタンバイ時の消費電力はなるべく少ない方が望ましい。

【0009】本発明は、このような点に鑑みてなされたもので、その目的は、フラッシュメモリ等の半導体回路に対して、外部から供給される電圧よりも高電圧の電圧を低消費電力で供給でき、かつ、動作状態が切り替わっても半導体回路に供給される電圧が変動しないようにした半導体集積回路装置および記憶装置を提供することにある。

【0010】

【課題を解決するための手段】上述した課題を解決するために、請求項1の発明は、外部から供給された電圧を昇圧する昇圧回路と、この昇圧回路で昇圧された昇圧電圧に応じた電圧により駆動される半導体回路とを備えた半導体集積回路装置において、第1および第2の動作状態を有し、前記半導体回路が前記第1の動作状態のときに、前記昇圧電圧の電圧変動を検知する第1のレベル検知回路と、前記第1のレベル検知回路よりも消費電力の少ない回路で構成され、前記半導体回路が前記第2の動作状態のときに、前記昇圧電圧の電圧変動を検知する第2のレベル検知回路とを備えるものである。

【0011】請求項1の発明を、例えば図1、4に対応づけて説明すると、「昇圧回路」は図1の昇圧回路1に、「半導体回路」は図1のアドレスデコーダ5とメモリセルアレイ6に、「第1のレベル検知回路」は図4の第1のレベル検知回路21に、「第2のレベル検知回路」は図4の第2のレベル検知回路22に、それぞれ対応する。

【0012】請求項4の発明を、例えば図1に対応づけて説明すると、「内部電圧発生回路」は内部電圧発生回

路3に対応する。

【0013】請求項6の発明を、例えば図2、図3に対応づけて説明すると、「パルス発生器」は図3のオシレータ12に、「チャージポンプ」は図2のチャージポンプ11に、それぞれ対応する。

【0014】請求項7の発明を、例えば図5に対応づけて説明すると、「差動増幅器」は差動増幅部28に、「定電流源」は定電流源部27に、それぞれ対応する。

【0015】請求項8の発明を、例えば図15に対応づけて説明すると、「基準電圧発生回路」は基準電圧発生回路30に対応する。

【0016】請求項9の発明は、外部から供給された電圧を昇圧する昇圧回路と、この昇圧回路で昇圧された昇圧電圧に応じた電圧により駆動される半導体回路と、前記昇圧電圧から内部電圧を生成する内部電圧発生回路とを備えた半導体集積回路装置において、第1および第2の動作状態を有し、前記内部電圧発生回路は、前記半導体回路が前記第1の動作状態のときには前記内部電圧を前記昇圧電圧よりも低い電圧レベルに設定し、前記半導体回路が前記第2の動作状態のときには前記内部電圧を前記昇圧電圧と略等しい電圧レベルに設定するものである。

【0017】請求項9の発明を、例えば図1に対応づけて説明すると、「昇圧回路」は昇圧回路1に、「半導体回路」はアドレスデコーダ5とメモリセルアレイ6に、「内部電圧発生回路」は内部電圧発生回路3に、それぞれ対応する。

【0018】請求項10の発明を、例えば図16に対応づけて説明すると、「スイッチ手段」はスイッチ回路122に対応する。

【0019】請求項11の発明を、例えば図17に対応づけて説明すると、「モード切換回路」はスイッチ回路54に対応する。

【0020】請求項12の発明は、外部から供給された電圧を昇圧する昇圧回路と、この昇圧回路で昇圧された昇圧電圧に応じた電圧により駆動される半導体回路と、前記昇圧電圧の電圧変動を検知するレベル検知回路と、を備えた半導体集積回路装置において、前記昇圧回路は、パルス信号を発生するパルス発生器と、このパルス信号に応じて昇圧を行うチャージポンプとを有し、前記レベル検知回路のレベル検知動作は、前記パルス信号により制御される。

【0021】請求項12の発明を、例えば図1～図3に対応づけて説明すると、「昇圧回路」は図1の昇圧回路1に、「半導体回路」は図1のアドレスデコーダ5とメモリセルアレイ6に、「レベル検知回路」は図1のレベル検知回路2に、「パルス発生器」は図3のオシレータ12に、「チャージポンプ」は図2のチャージポンプ11に、それぞれ対応する。

【0022】請求項13の発明は、外部から供給された

電圧を昇圧する昇圧回路と、この昇圧回路で昇圧された昇圧電圧の電圧変動を検知するレベル検知回路と、外部から供給された電圧から所定の電圧レベルの基準電圧を生成する基準電圧発生回路と、前記昇圧電圧に応じた電圧により駆動される半導体回路とを備え、前記レベル検知回路および前記基準電圧発生回路の各消費電流を、同一の定電流源により制御する。

【0023】請求項13の発明を、例えば図1、図15に対応づけて説明すると、「昇圧回路」は図1の昇圧回路1に、「レベル検知回路」は図1のレベル検知回路2に、「基準電圧発生回路」は図15の基準電圧発生回路30に、「半導体回路」は図1のアドレスデコーダ5とメモリセルアレイ6に、それぞれ対応する。

【0024】請求項14の発明は、外部から供給された電圧を昇圧する昇圧回路と、この昇圧回路で昇圧された昇圧電圧に応じた電圧により駆動される半導体回路と、前記昇圧電圧から内部電圧を生成する内部電圧発生回路と、を備えた半導体集積回路装置において、第1および第2の動作状態を有し、前記内部電圧発生回路は、前記昇圧回路および前記内部電圧発生回路の各出力端子を短絡させるか否かを切り換えるスイッチ手段と、前記半導体回路が前記第1の動作状態から前記第2の動作状態に遷移した後、前記内部電圧が所定電圧以下になると、前記スイッチ手段を切り換えて前記内部電圧を前記昇圧電圧に略等しくするスイッチ制御回路と、を有する。

【0025】請求項14の発明を、例えば図1、図17に対応づけて説明すると、「昇圧回路」は図1の昇圧回路1に、「半導体回路」は図1のアドレスデコーダ5とメモリセルアレイ6に、「内部電圧発生回路」は図1の内部電圧発生回路3に、「スイッチ手段」は図17のスイッチ回路54に、「スイッチ制御回路」は図17の低消費電力内部電圧検知回路52に、それぞれ対応する。

【0026】請求項15の発明を、例えば図17に対応づけて説明すると、「第1の内部電圧検知回路」はメモリアクセス時電圧制御回路51に、「第2の内部電圧検知回路」は低消費電力内部電圧検知回路52に、それぞれ対応する。

【0027】請求項16の発明を、例えば図1、図17に対応づけて説明すると、「昇圧回路」は図17の昇圧回路1に、「半導体回路」は図1のアドレスデコーダ5とメモリセルアレイ6に、「内部電圧発生回路」は図17の内部電圧発生回路3に、「第1の内部電圧検知回路」は図17のメモリアクセス時電圧制御回路51に、「第2の内部電圧検知回路」は図17の低消費電力内部電圧検知回路52に、それぞれ対応する。

【0028】請求項18の発明を、例えば図17に対応づけて説明すると、「レベル検知回路」はレベル検知回路2に対応する。

【0029】請求項19の発明を、例えば図23に対応づけて説明すると、「第1のチャージポンプ」は第1の

チャージポンプ11aに、「第2のチャージポンプ」は第2のチャージポンプ11bに、それぞれ対応する。

【0030】請求項20の発明は、外部から供給された電圧を昇圧する昇圧回路と、この昇圧回路で昇圧された昇圧電圧に応じた電圧により駆動される半導体回路とを備えた半導体集積回路装置において、第1および第2の動作状態を有し、前記昇圧回路は、第1のチャージポンプと、前記第1のチャージポンプよりも駆動力の弱い第2のチャージポンプと、を有し、前記半導体回路が前記第1の動作状態のときには、前記昇圧電圧が第1の電圧になるように前記第1のチャージポンプにより電圧制御を行い、前記半導体回路が前記第2の動作状態のときには、前記昇圧電圧が前記第1の電圧と異なる第2の電圧になるように前記第2のチャージポンプにより電圧制御を行う。

【0031】請求項20の発明を、例えば図1、図23に対応づけて説明すると、「昇圧回路」は昇圧回路1aに、「半導体回路」は図1のアドレスデコーダ5とメモリセルアレイ6に、「第1のチャージポンプ」はチャージポンプ11aに、「第2のチャージポンプ」はチャージポンプ11bに、それぞれ対応する。

【0032】

【発明の実施の形態】以下、本発明を適用した半導体集積回路装置および記憶装置について、図面を参照しながら具体的に説明する。

【0033】以下に説明する半導体集積回路装置および記憶装置は、メモリセルアレイ6の読み出しや書き込みを行うために待機しているスタンバイ状態の消費電力の低減を図るものであり、メモリセルアレイ6を駆動する電源電圧のレベルをそれほど低下させることなく消費電力を抑えることができる点に特徴がある。

【0034】【第1の実施形態】図1は本発明を適用した半導体集積回路装置の一実施形態の概略構成図であり、EEPROM構成のメモリセルアレイ6（以下、単にメモリセルアレイ6と呼ぶ）を備える例を示している。図1には、アドレス信号が入力されてからメモリセルアレイ6のワード線が選択されるまでの構成が示されている。

【0035】本実施形態の半導体集積回路装置は、昇圧回路1と、レベル検知回路2と、内部電圧発生回路3と、アドレスバッファ（ADB）4と、アドレスデコーダ（RDC）5と、メモリセルアレイ（MCA）6とを備える。

【0036】このうち、昇圧回路1は、外部から供給される外部電源電圧 V_{ccext} を昇圧して昇圧電圧 V_{ccint2} を生成する。昇圧電圧 V_{ccint2} の電圧値は、メモリセルアレイ6の読み出し・書き込みを行うメモリアクセス時と、読み出し・書き込みを行わないスタンバイ時とで異なっており、例えば、メモリアクセス時には $V_{ccint2}=6.5V$ 、スタンバイ時には $V_{ccint2}=5V$ に設定される。

【0037】レベル検知回路2は、昇圧電圧 V_{ccint2} の電圧レベルの変動を検知して、その検知結果を昇圧回路1に入力する。内部電圧発生回路3は、昇圧電圧 V_{ccint2} を降圧した電圧（以下、内部電圧と呼ぶ） V_{ccint} を生成する。

【0038】以上の昇圧回路1、レベル検知回路2および内部電圧発生回路3の詳細構成については後述する。

【0039】チップの外部から入力されたアドレス信号ADDは、アドレスバッファ4を介してアドレスデコーダ5に入力されてデコードされる。アドレスデコーダ5には、外部電源電圧 V_{ccext} と、内部電圧発生回路3で降圧された内部電圧 V_{ccint} とが供給され、アドレスデコーダ5はデコードの他に電圧レベルの変換を行う。これにより、アドレスデコーダ5からは、内部電圧 V_{ccint} を基準とするデコード信号が出力される。

【0040】アドレスデコーダ5の出力は、メモリセルアレイ6の図示せぬワード線に供給される。図1に示すアドレスデコーダ5は、メモリセルアレイ6の行アドレスをデコードするものであり、列アドレスをデコードするデコーダは図1では省略している。

【0041】なお、昇圧回路1で昇圧された昇圧電圧 V_{ccint2} と接地端子間には、数百pF程度の安定化コンデンサ7が接続され、また、アドレスデコーダ5は数百〜数nF程度の寄生容量を有する。

【0042】次に、図1に示す個々の構成を詳細に説明する前に、本実施形態の半導体集積回路装置全体の概略動作を説明する。メモリセルアレイ6に対する読み出し・書き込みを行うメモリアクセス状態では、昇圧回路1は例えば6.5Vの昇圧電圧 V_{ccint2} を出力し、内部電圧発生回路3は昇圧電圧 V_{ccint2} に基づいて例えば5Vの内部電圧 V_{ccint} を生成する。内部電圧 V_{ccint} はアドレスデコーダ5などを駆動する電源電圧として用いられる。レベル検知回路2は昇圧電圧 V_{ccint2} の電圧レベルの変動を検知し、その検知結果に基づいて、昇圧回路1は昇圧電圧 V_{ccint2} が一定レベルになるようにフィードバック制御を行う。

【0043】このように、昇圧電圧 V_{ccint2} の他に内部電圧 V_{ccint} を生成する理由は、仮に半導体集積回路内のすべての回路に昇圧電圧 V_{ccint2} をそのまま供給すると、負荷が大きいために昇圧電圧 V_{ccint2} が電圧変動を起こしやすくなるからであり、内部電圧 V_{ccint} を各回路に供給すれば、その分、昇圧電圧 V_{ccint2} の負荷が軽くなり、その電圧値の変動を抑えることができる。

【0044】一方、メモリセルアレイ6に対する読み出し・書き込みを行うために待機しているスタンバイ状態では、昇圧回路1は例えば5Vの昇圧電圧 V_{ccint2} を出力し、内部電圧発生回路3は昇圧電圧 V_{ccint2} と同一レベル（例えば5V）の内部電圧 V_{ccint} を出力する。レベル検知回路2は、昇圧電圧 V_{ccint2} の電圧レベルの変動を検出する点ではメモリアクセス状態と共通する

が、消費電力の少ない回路に切り換えてレベル検知時の消費電力をなるべく少なくする点でメモリアクセス状態と異なる。また、レベル検知を行っている最中に昇圧電圧 V_{ccint2} の電圧レベルが高くなりすぎないように、レベル検知回路2を間欠的に動作させる。

【0045】次に、図1に示す昇圧回路1の詳細構成について説明する。昇圧回路1は、図2に回路図を示すチャージポンプ11と、図3に回路図を示すオシレータ12とを備える。

【0046】チャージポンプ11は、図2に示すように、ダイオードD1～D4と、キャパシタC1～C4と、インバータINV1、INV2とを有し、初段のダイオードD1には外部電源電圧 V_{ccext} が、初段のインバータINV1には後述するオシレータ12の出力OSCがそれぞれ入力され、最終段のダイオードD4からは昇圧電圧 V_{ccint2} が出力される。

【0047】チャージポンプ11は、オシレータ12からの出力OSCに応じた電荷をキャパシタC1～C4のそれぞれに順に転送することにより、外部電源電圧 V_{ccext} よりも高い電圧 V_{ccint2} を生成して出力する。

【0048】オシレータ12は、図3に示すように、複数のインバータINV3～INV7を直列に接続して、インバータINV6の出力を初段のNANDゲートG1にフィードバックするような構成になっている。図3のNANDゲートG1に入力される信号CPEがハイレベルになると、内部で発振動作が行われ、出力OSCからは発振信号が出力される。一方、信号CPEがローレベルになると出力OSCはローレベルに固定される。この信号CPEは、後述するレベル検知回路2から出力される。

【0049】上述したように、メモリアクセス時には、図2に示すチャージポンプ11から例えば6.5Vの昇圧電圧 V_{ccint2} が出力される。アドレス信号間のタイミングのばらつき（アドレススキュー）による電流消費や、内部電圧 V_{ccint} との電位差（電圧マージン）等の観点から考えれば、昇圧電圧 V_{ccint2} はできるだけ高い方が望ましいが、スタンバイ状態からメモリアクセス状態に遷移する場合の消費電流や遷移時間、あるいは半導体回路の耐圧等を考慮すると、昇圧電圧をあまり高く設定することはできない。実際には、上述した種々の条件を考慮に入れて昇圧電圧 V_{ccint2} の電圧値が設定される。

【0050】次に、図1に示すレベル検知回路2の詳細構成について説明する。図4はレベル検知回路2の詳細構成を示す回路図である。レベル検知回路2は、メモリアクセス状態のときにレベル検知を行う第1のレベル検知部21と、スタンバイ状態のときにレベル検知を行う第2のレベル検知部22とに分けられる。各レベル検知部21、22の出力はオアゲート23で加算されて出力される。このオアゲート23の出力CPEは、図3に示したオシレータ12の初段に入力される。すなわち、レベル検知回路2の出力CPEがハイレベルであれば、図3

のオシレータ12が発振動作を行って昇圧電圧 V_{ccint2} の電圧レベルは上昇する。一方、レベル検知回路2の出力CPEがローレベルであればオシレータ12は発振動作を停止し、昇圧電圧 V_{ccint2} の電圧レベルは低下する。また、第2のレベル検知部22の消費電力は、第1のレベル検知部21の半分以下、例えば4分の1以下とされている。

【0051】図4に示す第2のレベル検知部22は、PMOSトランジスタ24と、抵抗R21、R22と、低消費電力型の差動増幅器（ローパワーアンプ）25と、ORゲートG21とを備えており、ローパワーアンプ25の(+)入力端子には基準電圧 V_{ref} が、(-)入力端子には抵抗R21と抵抗R22との接続点の電圧VG2が入力される。PMOSトランジスタ24はスタンバイ状態のときにオンし、PMOSトランジスタ24がオンすると、ローパワーアンプ25の(-)入力端子には昇圧電圧 V_{ccint2} を抵抗R21とR22で分圧した電圧VG2が入力される。電圧VG2が基準電圧 V_{ref} よりも低い場合には、ローパワーアンプ25の出力はハイレベルになり、レベル検知回路2の出力CPEもハイレベルになる。

【0052】また、ローパワーアンプ25のdisabled端子にはORゲートG21が接続されており、メモリアクセス状態のときか、あるいは、図3に示したオシレータ12の出力OSCがハイレベルのときに、ローパワーアンプ25はディセーブル状態になって出力はローレベル固定になる。

【0053】一方、第1のレベル検知部21は、ローパワーアンプ25の代わりに通常の差動増幅器26が接続されている点を除いて、第2のレベル検知部22と同様に構成され、昇圧電圧 V_{ccint2} が6.5Vのときに分圧電圧VG1と基準電圧 V_{ref} とが一致するようなレベル検知を行う。

【0054】図5は第2のレベル検知部22内のローパワーアンプ（Low Power AMP）25の詳細構成を示す回路図である。図5に示すローパワーアンプ25は、ウィルソンのカレントミラー回路で構成された定電流源部27と、差動増幅部28とに分けられる。定電流源部27は安定点が2つあり、電源投入時には図示のPMOSトランジスタ29のゲート端子がいったんローレベルになって、その後ハイレベルに設定される。これにより、ダイオードD21の両端の電圧 V_f と抵抗R23の両端の電圧 V_R とが一致し、ダイオードD21に流れる電流量と抵抗R23に流れる電流量が等しくなった点で安定する。ダイオードD21の両端の電圧 V_f は約0.6Vで、抵抗R23には例えば2400k Ω 程度の高抵抗が用いられ、抵抗R23に流れる電流Iは、 $I = V_f / R$ で表され、 $I =$ 約0.25 μA となる。

【0055】このように、抵抗R23にはほとんど電流が流れないため、定電流源部27で消費される電力は少なくなり、ローパワーアンプ25全体の消費電力も低く抑

えられる。

【0056】ところが、ローパワーアンプ25の消費電力を低く抑えると、レベル検知に時間がかかるという問題があり、レベル検知が終了するまでの間に、昇圧電圧Vccint2が予め定めた電圧よりも数V以上も高くなるおそれがある。

【0057】ここで、レベル検知に時間がかかった場合に、昇圧電圧Vccint2が上昇する割合と低下する割合とどちらが大きいかについて検討する。昇圧電圧Vccint2が低下する要因としては、図4に示した抵抗R21、R22に流れる電流や、内部電圧Vccintに接続されるアドレスデコーダ5などのサブスレッショルド電流やジャンクションリーク電流などが考えられるが、これらの電流は数 μ A以内であり十分に小さい。また、内部電圧Vccintの寄生容量は数百pF～数nF程度であるため、昇圧電圧Vccint2が0.1V程度下がるのに数 μ 秒～数百 μ 秒の時間がかかる。一方、レベル検知回路2の出力CPEが

ハイレベルのときの昇圧電圧Vccint2の上昇度合いは、電源電圧やチャージポンプ11の大きさにもよるが、図3に示したオシレータ12の出力OSCの1周期あたり約0.1Vである。なお、出力OSCの1周期は数十ナノ秒程度である。

【0058】このように、昇圧電圧Vccint2は、上がり方が急峻で、下がり方が緩やかという特徴があり、レベル検知に時間がかかると、昇圧電圧Vccint2がかなりの高電圧になるおそれがある。このため、図4に示した第2のレベル検知部22では、昇圧電圧Vccint2が5V以下になることが検知されると、昇圧回路1内のチャージポンプ11を1周期動作させて、その後昇圧回路1内のオシレータ12からパルスOSCが出力された時点でローパワーアンプ25をリセットしてチャージポンプ11の動作を停止する。

【0059】図4のように、オシレータ12からのパルスOSCにより、ローパワーアンプ25をリセットしてレベル検知回路2の出力CPEを強制的にローレベルにすると、次に出力CPEがハイレベルになるまでに少なくとも数 μ 秒かかる。このため、結果的に、チャージポンプ11は、昇圧電圧Vccint2の低下に応じて随時、数 μ 秒～数百 μ 秒程度に1回の割合で動作し、昇圧電圧Vccint2の上がりすぎを防止することができる。

【0060】ところで、ローパワーアンプ25をリセットする回路は、図4に示したものに限定されない。例えば、図6は、オシレータ12から所定数のパルスOSCが出力されると論理「1」を出力するカウンタ111を設け、このカウンタ111の出力によりローパワーアンプ25をリセットする例を示している。

【0061】なお、チャージポンプ11を複数並列接続して、スタンバイ時には一部のチャージポンプ11だけを駆動するようにして、スタンバイ時とメモリアクセス時とで昇圧電圧Vccint2の上昇度合いを変えてもよ

い。

【0062】例えば図7は、2つのチャージポンプ11a、11bを並列接続して昇圧回路1を構成した例を示している。各チャージポンプ11a、11bは図2と同様の回路で構成され、各チャージポンプ11a、11bにはそれぞれ、ノイズ低減のために互いに位相がずれた信号OSC1、OSC2が入力される。また、チャージポンプ11bの前段にはアンドゲートG22が設けられ、アンドゲートG22の入力端子には信号OSC2とメモリアクセス時にハイレベルになる信号とが入力される。

【0063】図7の回路では、チャージポンプ11aはメモリアクセス時もスタンバイ時も動作するのに対し、チャージポンプ11bはメモリアクセス時のみ動作し、スタンバイ時には動作しない。これにより、スタンバイ時はメモリアクセス時に比べてチャージポンプ全体のパワー（能力）が低下し、昇圧電圧Vccint2は緩やかに上昇するようになる。

【0064】次に、図1に示した内部電圧発生回路3の詳細構成について説明する。図8は内部電圧発生回路3の詳細構成を示す回路図である。内部電圧発生回路3は、差動増幅器31、32と、PMOSトランジスタQ31～Q35と、NMOSトランジスタQ36～Q39と、抵抗R31、R32とを備えており、昇圧電圧Vccint2に基づいて内部電圧Vccintを生成する。

【0065】差動増幅器31、32はそれぞれ、内部電圧Vccintを抵抗分圧した電圧VGと基準電圧Vrefとを比較して、その比較結果を出力する。より具体的には、差動増幅器31は内部電圧Vccintが5Vよりも低い場合に内部電圧Vccintを引き上げる制御を行い、差動増幅器32は内部電圧Vccintが5Vよりも高い場合に内部電圧Vccintを引き下げる制御を行う。

【0066】なお、差動増幅器31、32はいずれも図9の回路で構成される。図9のPLUS端子が図8に示す(+)入力端子に対応し、MINUS端子が(-)入力端子に対応する。図9のdisable端子がハイレベルのときは、NMOSトランジスタQ301がオンして出力はローレベル固定になる。一方、disable端子がローレベルのときはPMOSトランジスタQ302がオンし、この状態でPLUS端子がMINUS端子よりも高電位になれば、外部電源電圧Vccextからの電流はPMOSトランジスタQ303に流れて出力はハイレベルになる。逆に、disable端子がハイレベルのときにPLUS端子よりもMINUS端子の方が高電位になれば、出力はローレベルになる。

【0067】図8に示す内部電圧発生回路3の出力段にはPMOSトランジスタQ34が接続され、スタンバイ状態のときにはこのトランジスタQ34がオンして内部電圧Vccintは強制的に昇圧電圧Vccint2に設定される。すなわち、PMOSトランジスタQ34は、スタンバイ時に内部電圧Vccintと昇圧電圧Vccint2とを短絡させる動作を行う。

【0068】このような制御により、メモリアクセス時には内部電圧 V_{ccint} は約5Vに、昇圧電圧 V_{ccint2} は約6.5Vに設定され、スタンバイ時には内部電圧 V_{ccint} は昇圧電圧 V_{ccint2} と同電位(5V)に設定される。

【0069】図1に示した内部電圧発生回路3やレベル検知回路2などでは、スタンバイ状態であることを示す信号STANDBYをレベルシフトした信号STANDBYHと、信号STANDBYに同期した信号ENABLEHとを用いており、これら信号は図10に示す制御信号生成回路によって生成される。

【0070】図10において、スタンバイ状態のときにハイレベルになる信号STANDBYは、レベルシフター回路101に入力されてレベル変換され、このレベルシフター回路101から信号STANDBYHが出力される。また、信号STANDBYと、信号STANDBYをディレイ回路102で遅延させた信号はANDゲートG101で積算された後にレベルシフター回路103に入力されて信号ENABLEHが生成される。

【0071】図11は図10に示したレベルシフター回路101、103の詳細構成を示す回路図である。入力INにハイレベルの信号が入力されると、NMOSトランジスタQ101がオンして図示のa点がローレベルになり、PMOSトランジスタQ102もオンして出力OUTは電源電圧 V_{high} と同レベルになる。また、入力INにローレベルの信号が入力されると、NMOSトランジスタQ103がオンして出力OUTは接地レベルになる。したがって、電源電圧 V_{high} に所望の電圧値を設定することで、入力信号をレベル変換することができる。

【0072】図12は図10に示したディレイ回路102の詳細構成を示す回路図である。このディレイ回路102は、複数のインバータINV11~INV14を直列接続し、各インバータの出力と接地端子間にキャパシタC11~C13を接続した構成になっている。キャパシタの容量やインバータの接続段数を変えることにより、所望の遅延時間を得ることができる。

【0073】図13は図1に示した半導体集積回路装置の動作タイミングを示す波形図であり、スタンバイ状態のときにハイレベルになる信号STANDBYと、信号STANDBYに同期した信号ENABLEと、昇圧電圧 V_{ccint2} とレベル検知回路2の出力信号CPEとの信号波形を示している。制御信号ENABLEは、メモリアクセス状態に遷移した時点でハイレベルに変化し、スタンバイ状態に遷移してからしばらくしてローレベルに変化する。このように、メモリアクセス状態からスタンバイ状態に切り替わった時刻T2からしばらくした後(時刻T3)に信号ENABLEをローレベルにする理由は、内部電圧発生回路3内で昇圧電圧 V_{ccint2} を6.5Vから5Vに下げるのに要する時間を考慮したためである。

【0074】すなわち、スタンバイ状態の間は、昇圧電圧 V_{ccint2} と内部電圧 V_{ccint} は同じ電圧(例えば5

V)に設定され、この電圧が変動しないように信号CPEが間欠的にハイレベルになり、チャージポンプ11は数 μ 秒~数百 μ 秒に1回の割合で駆動される。

【0075】一方、スタンバイ状態からメモリアクセス状態になると、昇圧電圧 V_{ccint2} を5Vから6.5Vに引き上げる必要があるため、図13に示すように、メモリアクセス状態になった時点(時刻T1)からしばらくはオシレータ12の出力CPEはハイレベルを維持してチャージポンプ11を連続的に駆動させる。昇圧電圧 V_{ccint2} が6.5Vになると、その後は出力CPEは昇圧電圧 V_{ccint2} の低下に応じてパルスを出力して昇圧電圧 V_{ccint2} が6.5Vから変動しないように制御を行う。

【0076】ところで、図8に示した内部電圧発生回路3では、基準電圧 V_{ref} が使用されており、この基準電圧 V_{ref} は図14に詳細構成を示す基準電圧発生回路30で生成される。図14の基準電圧発生回路30は、差動増幅部41と、抵抗 $R1$ 、 $R2$ 、 $R3$ と、ダイオード $D11$ 、 $D12$ と、PMOSトランジスタ $Q11$ とを有し、差動増幅部41には定電流源から一定の電流が供給される。差動増幅部41は、抵抗 $R1$ とダイオード $D11$ との接続点の電圧VAと、抵抗 $R2$ 、 $R3$ の接続点の電圧VBとが等しくなるように制御する。

【0077】したがって、抵抗 $R1$ を流れる電流 $I1$ と、抵抗 $R2$ を流れる電流 $I2$ との間には(1)式の関係が成り立つ。

$$I1/I2 = R1/R2 \quad \dots (1)$$

【0078】一般に、ダイオードを流れる電流を I 、(逆方向)飽和電流を I_s 、順方向電圧を V_F 、温度を T とすると、(2)式の関係が成り立つ。

$$I = I_s \{ e^{q \cdot V_F / kT} - 1 \} \quad \dots (2)$$

【0079】また、 $V_F \gg q/kT = 26mV$ であるため、(2)式中の (-1) は無視でき、(3)式が成り立つ。

$$I = I_s \cdot e^{q \cdot V_F / kT} \quad \dots (3)$$

【0080】(3)式を変形すると、(4)式が得られる。ただし、 $VT = kT/q$ である。

$$V_F = (kT/q) \cdot \ln(I/I_s) \quad \dots (4)$$

【0081】図14のダイオード $D11$ 、 $D12$ の順方向電圧をそれぞれ V_F1 、 V_F2 とし、抵抗 $R3$ の両端電圧を ΔV とすると、(5)式の関係が成り立つ。

$$\Delta V_F = V_F1 - V_F2 = VT \cdot \ln(I1/I2) = VT \cdot \ln(R2/R1) \quad \dots (5)$$

【0082】(5)式より、基準電圧 V_{ref} は(6)式で表される。

$$V_{ref} = V_F1 + (R2/R3) \Delta V_F \quad \dots (6)$$

【0083】ここで、電圧 VT は $0.086mV/^{\circ}C$ の正の温度係数を持ち、ダイオードの順方向電圧 V_F1 は約 $-2mV/^{\circ}C$ の負の温度係数を持つため、温度依存性がなくなるように抵抗 $R2$ 、 $R3$ の抵抗値を設定すれば、基準電圧 V_{ref} は温度によらず常に一定の電圧値になる。

【0084】図14の基準電圧発生回路30の消費電力を抑えるためには、基準電圧発生回路30に電流を供給する定電流源で電流の絞り込みを行えばよい。この定電流源は基準電圧発生回路専用に設けてもよいが、図5のローパワーアンプ25内の定電流源部27を流用することもできる。

【0085】例えば図15は、図5に示したローパワーアンプ25内の低消費電力型の定電流源部27を基準電圧発生回路30で流用する例を示す図である。図15の一点鎖線部が定電流源部27の構成を示している。定電流源部27から出力された電流は、ローパワーアンプ25を構成する差動増幅部28に入力されるとともに、基準電圧発生回路30にも入力され、この基準電圧発生回路30から基準電圧 V_{ref} が出力される。

【0086】このように、図4に示す第2のレベル検知部22内の定電流源部27を利用して基準電圧 V_{ref} を生成すれば、定電流源部27を別個に設ける必要がなくなり、回路を簡略化することができる。また、第2のレベル検知部22内の定電流源部27は消費電力が少ないため、基準電圧発生回路30全体の消費電力も抑制できる。

【0087】〔第2の実施形態〕第1の実施形態では、スタンバイ時に図8に示すように、内部電圧発生回路3内のトランジスタQ34をオンさせて内部電圧 V_{ccint} と昇圧電圧 V_{ccint2} を強制的に短絡させている。

【0088】図16は昇圧回路1と内部電圧発生回路3の出力段の概略構成を示すブロック図である。内部電圧発生回路3は、昇圧電圧 V_{ccint2} を降圧して内部電圧 V_{ccint} を生成する内部電圧発生部121と、スイッチ回路122とを備える。スイッチ回路122は、PMOSTランジスタ123とインバータ124とで構成され、PMOSTランジスタ123は、スタンバイ時にハイレベルになる信号STANDBYHの論理に応じてオン・オフする。より詳細には、スタンバイ状態になると、PMOSTランジスタ123がオンして昇圧回路1と内部電圧発生部121の各出力端子が短絡されて昇圧電圧 V_{ccint2} と内部電圧 V_{ccint} が等しくなる。

【0089】内部電圧 V_{ccint} は、メモリの動作状態にかかわらず、ほぼ一定の電圧(約5V)なのに対し、昇圧電圧 V_{ccint2} は、メモリアクセス状態では約6.5V、スタンバイ状態では約5Vである。このため、図8や図16のように、スタンバイ状態になった時点で、強制的に昇圧回路101と内部電圧発生部103の各出力端子を短絡させると、スタンバイ状態になった直後に、内部電圧 V_{ccint} が昇圧電圧 V_{ccint2} に引き上げられて一時的に上昇してしまう。このため、スタンバイ状態になってからしばらくの間、すなわち、昇圧電圧 V_{ccint2} が低下するまでは、内部電圧発生回路3における差動増幅器などで内部電圧 V_{ccint} を引き上げる制御を行わなければならない、メモリ全体として消費電力が増える

おそれがある。

【0090】また、フラッシュメモリの中には、チップイネーブル信号の論理に応じてメモリアクセス状態とスタンバイ状態とを切り換えるCEショートサイクルモードを有するものがある。CEショートサイクルモードでは、メモリアクセス状態とスタンバイ状態が周期的に切り替わるため、メモリアクセス時に内部電圧 V_{ccint} が5Vまで下がらないうちに、スタンバイ状態に切り替わって内部電圧 V_{ccint} が上昇するという動作が繰り返され、最終的に内部電圧 V_{ccint} が最大6.5Vまで上昇するおそれがある。内部電圧 V_{ccint} は、メモリチップ内のワード線電位となるため、読み出し電位も最大6.5Vとなり、メモリセルトランジスタのしきい値のばらつきにより、メモリに書き込んだデータを正しく読み出せなくなるおそれがある。

【0091】これに対し、図17に概略構成を示す半導体集積回路装置は、スタンバイ状態になった直後に内部電圧 V_{ccint} が変動しないようにしたものである。図17では、EEPROMの内部構成の一部、すなわち、外部電源電圧 V_{ccext} を昇圧して昇圧電圧 V_{ccint2} を生成する回路ブロックと、昇圧電圧 V_{ccint2} から内部電圧 V_{ccint} を生成する回路ブロックとを示している。図17のEEPROMは、内部電圧発生回路3aの構成が第1の実施形態と異なる他は、第1の実施形態とほぼ同じように構成されるため、以下では、内部電圧発生回路3aの構成を中心に説明する。

【0092】図17の内部電圧発生回路3aは、メモリアクセス時電圧制御回路51と、低消費電力内部電圧検知回路52と、レベルシフタ53と、スイッチ回路54とを有する。メモリアクセス時電圧制御回路51は、メモリアクセス時に内部電圧 V_{ccint} を生成するとともに、内部電圧 V_{ccint} が変動しないように電圧制御を行う。低消費電力内部電圧検知回路52は、内部電圧 V_{ccint} の電圧レベルに応じた信号を出力する。より詳細には、内部電圧 V_{ccint} が所定電圧より高ければハイレベルの信号を出力し、所定電圧より低ければローレベルの信号を出力する、この信号はレベルシフタ53に入力されてレベル変換された後、スイッチ回路54に入力される。スイッチ回路54は、メモリアクセス時は常にオフ状態で、スタンバイ時に内部電圧 V_{ccint} が所定電圧以下になるとオンして昇圧電圧 V_{ccint2} と内部電圧 V_{ccint} を短絡させる。

【0093】図18はメモリアクセス時電圧制御回路51の詳細構成を示す回路図である。図18に示すように、メモリアクセス時電圧制御回路51は、差動増幅器61と、PMOSTランジスタQ51、Q52と、抵抗R51、R52とを有する。PMOSTランジスタQ51のソース端子には昇圧電圧 V_{ccint2} が印加され、そのドレイン端子とPMOSTランジスタQ52のソース端子との接続点から内部電圧 V_{ccint} が出力される。PMOSTランジスタQ52のドレイ

ン端子と接地端子間には抵抗R 51、R 52が直列接続され、PMOSTランジスタQ 52のゲート端子には信号STANDBYが印加され、PMOSTランジスタQ 51のゲート端子には差動増幅器6 1の出力端子が接続されている。差動増幅器6 1は、メモリアクセス時のみ動作し、その正側入力端子には抵抗R 51、R 52間の電圧が印加され、負側入力端子には基準電圧V_{ref}が印加される。

【0094】メモリアクセス時は、PMOSTランジスタQ 52がオンし、内部電圧V_{ccint}を抵抗R 51、R 52で抵抗分圧した電圧が差動増幅器6 1の正側入力端子に10 入力される。例えば、内部電圧V_{ccint}が予め定めた電圧よりも高くなると、差動増幅器6 1の正側入力端子の方が負側入力端子よりも電圧が高くなり、差動増幅器6 1の出力電圧が高くなってPMOSTランジスタQ 51はオフする方向に動作し、内部電圧V_{ccint}が低下する。逆に、内部電圧V_{ccint}が予め定めた電圧よりも低くなると、差動増幅器6 1の正側入力端子の方が負側入力端子よりも電圧が低くなり、差動増幅器6 1の出力電圧が低くなってPMOSTランジスタQ 51はオンする方向に動作し、内部電圧V_{ccint}が上昇する。このような制御により、メモリアクセス時には、内部電圧V_{ccint}は予め定めた電圧に20 制御される。

【0095】一方、スタンバイ時には、PMOSTランジスタQ 52がオフし、差動増幅器6 1も動作しなくなるため、配線抵抗等により、内部電圧V_{ccint}は徐々に低下する。また、スタンバイ時の内部電圧V_{ccint}の電圧レベルは、図17に示す低消費電力内部電圧検知回路5 2により検知される。

【0096】図19は低消費電力内部電圧検知回路5 2の詳細構成を示す回路図である。図19に示すように、低消費電力内部電圧検知回路5 2は、図4と同じような構成のローパワーアンプ6 2と、抵抗R 53、R 54とを有する。直列接続された抵抗R 53、R 54の一端には内部電圧V_{ccint}が印加され、他端は接地されている。ローパワーアンプ6 2の正側入力端子には抵抗R 53、R 54間の電圧が印加され、負側入力端子には基準電圧V_{ref}が印加される。ローパワーアンプ6 2の出力は図17に示すレベルシフタ5 3に供給される。

【0097】例えば、スタンバイ時に内部電圧V_{ccint}が予め定めた電圧よりも高くなると、ローパワーアンプ6 2の出力はローレベルになる。逆に、スタンバイ時に内部電圧V_{ccint}が予め定めた電圧以下になると、ローパワーアンプ6 2の出力はハイレベルになる。ローパワーアンプ6 2は、通常の差動増幅器よりも消費電流が少ないため、スタンバイ時の消費電力を抑えることができる。

【0098】図17に示すレベルシフタ5 3は、図11と同様の回路で構成され、ローパワーアンプ6 2の出力電圧をレベル変換する。レベル変換後の電圧はスイッチ回路5 4内のNANDゲートG 51に20 入力される。NANDゲート

G 51の出力は、メモリアクセス時には常にハイレベルになり、PMOSTランジスタQ 5 3はオフ状態を維持する。また、スタンバイ時でも、レベルシフタ5 3の出力がローレベルのとき、すなわち、内部電圧V_{ccint}が予め定めた電圧よりも高いときには、NANDゲートG 51の出力はハイレベルになる。一方、スタンバイ時に、内部電圧V_{ccint}が予め定めた電圧以下になると、NANDゲートG 51の出力はローレベルになり、PMOSTランジスタQ 5 3がオンして、昇圧電圧V_{ccint2}と内部電圧V_{ccint}が短絡される。

【0099】図20はメモリアクセス状態からスタンバイ状態に遷移したときに昇圧電圧V_{ccint2}と内部電圧V_{ccint}が変化する様子を示したタイミング図である。なお、図20のCEバーは、EEPROMのチップイネーブル信号である。

【0100】以下、図20のタイミング図を用いて、図17に示した第2の実施形態の動作を説明する。昇圧回路1の動作は、第1の実施形態と同じであり、例えば3 Vの外部電源電圧V_{ccext}に基づいて、メモリアクセス時には約6.5V、スタンバイ時には約5 Vの昇圧電圧V_{ccint2}を生成する。また、内部電圧発生回路3 aの動作も、メモリアクセス時は第1の実施形態と同じであり、約6.5Vの昇圧電圧V_{ccint2}に基づいて、約5 Vの内部電圧V_{ccint}を生成する。

【0101】一方、メモリアクセス状態からスタンバイ状態に遷移すると(図20の時刻T 1)、図17に示したメモリアクセス時電圧制御回路5 1は動作を停止し、代わりに低消費電力内部電圧検知回路5 2が動作を開始する。低消費電力内部電圧検知回路5 2は、内部電圧V_{ccint}の電圧値が予め定めた電圧になったか否かを検知する。内部電圧V_{ccint}が予め定めた電圧よりも高い間は、スイッチ回路5 4内のPMOSTランジスタQ 5 3はオフ状態である。また、スタンバイ時には、昇圧回路1は昇圧電圧V_{ccint2}を6.5Vから5 Vに下げる制御を行うため、昇圧電圧V_{ccint2}は徐々に低下する。また、内部電圧V_{ccint}も、配線抵抗等により徐々に低下する。

【0102】やがて、内部電圧V_{ccint}が予め定めた電圧以下になると(図20の時刻T 2)、PMOSTランジスタQ 5 3がオンして昇圧電圧V_{ccint2}と内部電圧V_{ccint}は短絡される。昇圧電圧V_{ccint2}と内部電圧V_{ccint}が短絡すると、内部電圧V_{ccint}が昇圧電圧V_{ccint2}に引き上げられて過度に上昇するおそれがあるが、ここでは内部電圧V_{ccint}が上昇して予め定めた電圧になると、再度PMOSTランジスタQ 5 3がオフして内部電圧V_{ccint}のさらなる上昇が抑えられる。

【0103】図21は図20の時刻T 2の付近を拡大したタイミング図であり、内部電圧V_{ccint}およびPMOSTランジスタの出力波形を示している。図21に示すように、時刻T 2でPMOSTランジスタQ 5 3がオンすると、

10

20

30

40

50

昇圧電圧 V_{ccint2} と内部電圧 V_{ccint} が短絡して内部電圧 V_{ccint} が上昇し、時刻 T_3 で再度PMOSトランジスタ Q_{53} はオフする。PMOSトランジスタ Q_{53} がオフすると、内部電圧 V_{ccint} は低下し、時刻 T_4 で再度PMOSトランジスタ Q_{53} がオンして昇圧電圧 V_{ccint2} と内部電圧 V_{ccint} は短絡される。このような制御を繰り返すことにより、内部電圧 V_{ccint} は、所定の電圧（例えば5V）に収束する。

【0104】図20には、第2の実施形態における内部電圧波形と、比較のための図16の例における内部電圧波形とが図示されており、図16の例ではスタンバイ状態になった直後に内部電圧 V_{ccint} が一時的に上昇するのに対し、第2の実施形態では内部電圧 V_{ccint} がほとんど変化しないことがわかる。

【0105】〔第3の実施形態〕第3の実施形態は、昇圧電圧 V_{ccint2} の電圧レベルを検知する回路と内部電圧 V_{ccint} の電圧レベルを検知する回路とを共通化したことを特徴とする。

【0106】図22は半導体集積回路装置の第3の実施形態の概略構成図である。図22は、昇圧電圧 V_{ccint2} の電圧レベルを検知するレベル検知回路2aの構成が図17と異なる他は、図17とほぼ同じように構成されるため、以下では、レベル検知回路2aの構成を中心に説明する。

【0107】図22のレベル検知回路2aは、図4に示した第1のレベル検知部21と、ANDゲートG52、G53と、インバータINV51とを有する。昇圧回路1は、メモリアクセス時には、ANDゲートG52の出力に応じて昇圧電圧 V_{ccint2} の電圧制御を行い、スタンバイ時には、ANDゲートG53の出力に応じて昇圧電圧 V_{ccint2} の電圧制御を行う。ANDゲートG52は、メモリアクセス時には、第1のレベル検知部21の出力をそのまま出力する。また、ANDゲートG53は、スタンバイ時には、低消費電力内部電圧検知回路52の出力をそのまま出力する。

【0108】次に、第3の実施形態の動作を説明する。昇圧回路1は、メモリアクセス時には、第1のレベル検知部21での検知結果に基づいて昇圧電圧 V_{ccint2} のレベル制御を行う。また、スタンバイ時には、昇圧電圧 V_{ccint2} と内部電圧 V_{ccint} が短絡されることから、内部電圧 V_{ccint} の電圧レベルを検知する低消費電力内部電圧検知回路52の検知結果に基づいて、昇圧電圧 V_{ccint2} のレベル制御を行う。これにより、レベル検知回路2a内に、図4のようなスタンバイ時専用の低消費電力型のレベル検知回路22を設ける必要がなくなり、回路構成を簡略化でき、かつ、消費電力も低減できる。

【0109】〔第4の実施形態〕第4の実施形態は、メモリアクセス時とスタンバイ時とで、昇圧回路の駆動力を切り換えるようにしたことを特徴とする。

【0110】図23は半導体集積回路装置の第4の実施

形態の概略構成図である。第4の実施形態は、昇圧回路1aの構成が図17に示す第2の実施形態と異なる他は、第2の実施形態とほぼ同じように構成されるため、以下では、昇圧回路1aの構成を中心に説明する。

【0111】図23の昇圧回路1aは、メモリアクセス時に昇圧電圧 V_{ccint2} を生成する第1のチャージポンプ11aと、スタンバイ時に昇圧電圧 V_{ccint2} を生成する第2のチャージポンプ11bとを有する。これらチャージポンプはいずれも、図2と同様の回路で構成されるが、第1のチャージポンプ11aの電荷供給能力は第2のチャージポンプ11bよりも高い。このように、電荷供給能力に違いを持たせるには、例えば、チャージポンプ内のコンデンサの容量を変えればよい。

【0112】メモリアクセス時は、ANDゲートG54の出力はローレベル固定になるため、第2のチャージポンプ11bは動作しない。一方、ANDゲートG55からはレベル検知回路2の出力がそのまま出力され、第1のチャージポンプ11aはレベル検知回路2の出力に応じて昇圧電圧 V_{ccint2} のレベル制御を行う。

【0113】逆に、スタンバイ時は、ANDゲートG55の出力はローレベル固定になるため、第1のチャージポンプ11aは動作しない。一方、ANDゲートG54からはレベル検知回路2の出力がそのまま出力され、第2のチャージポンプ11bはレベル検知回路2の出力に応じて昇圧電圧 V_{ccint2} のレベル制御を行う。

【0114】このように、第4の実施形態は、スタンバイ状態になると、電荷供給能力（駆動力）の弱いチャージポンプ11bにより昇圧電圧 V_{ccint2} を生成するため、スタンバイ時のピーク電流を抑制でき、消費電力を低減できる。

【0115】なお、図22の回路内の昇圧回路1を、図23の昇圧回路1aに変更してもよい。この場合の概略構成図は図24のようになる。図24の場合も、図23と同様の効果が得られる。同様に、図1に示す第1の実施形態の昇圧回路1を、図23の昇圧回路1aに変更してもよい。

【0116】上述した実施形態では、外部から供給された電圧 V_{ccext} をいったん昇圧した後内部電圧発生回路3で降圧しているが、内部電圧発生回路3を設けずに、昇圧した電圧を直接、メモリスルアレイ6やアドレスデコーダ5などに供給してもよい。ただし、内部電圧発生回路3を設けなければ回路構成を簡略化できるという利点もあるが、電圧制御精度は悪くなる。

【0117】また、上述した実施形態では、EEPROM構成のメモリスルアレイ6を有する半導体集積回路装置について説明したが、EEPROM構成以外のDRAMやSRAM構成のメモリスルアレイ6を有する場合にも本発明は適用できる。また、メモリスルアレイ6以外の他の半導体回路の電圧制御にも本発明は適用できる。この場合、半導体回路が通常の動作をしている状態がメモリアクセス

状態に対応し、半導体回路が待機している状態がスタンバイ状態に対応する。

【0118】

【発明の効果】以上詳細に説明したように、本発明によれば、フラッシュメモリ等の半導体回路が第2の動作状態（例えばスタンバイ状態）になると、昇圧電圧のレベル検知を行う回路を低消費電力型の回路に切り換えるようにしたため、スタンバイ時に比較的高い電圧を半導体回路に供給しても、スタンバイ時の消費電力を低減できる。また、本発明は、動作状態が切り替わっても、半導体回路に供給する電圧レベルをあまり変えないようにしたため、動作状態を切り換える際の遷移時間を短縮でき、半導体回路に対するアクセス速度が向上する。さらに、動作状態が切り替わった直後に、半導体回路に供給される電圧が一時的に変動しないようにしたため、消費電力を低減できるとともに、動作状態にかかわらず常に一定の電圧を半導体回路に供給することができ

【図面の簡単な説明】

【図1】半導体集積回路装置の一実施形態の概略構成図。

【図2】チャージポンプの詳細構成を示す回路図。

【図3】オシレータの詳細構成を示す回路図。

【図4】レベル検知回路の詳細構成を示す回路図。

【図5】第2のレベル検知部内のローパワーアンプの詳細構成を示す回路図。

【図6】ローパワーアンプをリセットする回路の変形例を示す回路図。

【図7】2つのチャージポンプを並列接続して昇圧回路を構成した例を示す図。

【図8】内部電圧発生回路の詳細構成を示す回路図。

【図9】内部電圧発生回路内の差動増幅器の詳細構成を示す回路図。

【図10】制御信号生成回路の詳細構成を示す回路図。

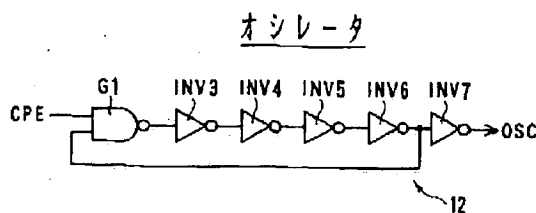
【図11】図9に示したレベルシフター回路の詳細構成を示す図。

【図12】図9に示したディレイ回路の詳細構成を示す回路図。

【図13】図1に示した半導体集積回路装置の動作タイミングを示す波形図。

*40

【図3】



*【図14】基準電圧発生回路の詳細構成を示す回路図。

【図15】第2のレベル検知部内の定電流源部を基準電圧発生回路で流用する例を示す図。

【図16】半導体集積回路装置の第2の実施形態と比較するための半導体集積回路装置の概略構成図。

【図17】半導体集積回路装置の第2の実施形態の概略構成図。

【図18】メモリアクセス時電圧制御回路の詳細構成を示す回路図。

10 【図19】低消費電力内部電圧検知回路の詳細構成を示す回路図。

【図20】メモリアクセス状態からスタンバイ状態に遷移したときに昇圧電圧 V_{ccint2} と内部電圧 V_{ccint} が変化する様子を示したタイミング図。

【図21】図18の時刻T2の付近を拡大したタイミング図。

【図22】半導体集積回路装置の第3の実施形態の概略構成図。

20 【図23】半導体集積回路装置の第4の実施形態の概略構成図。

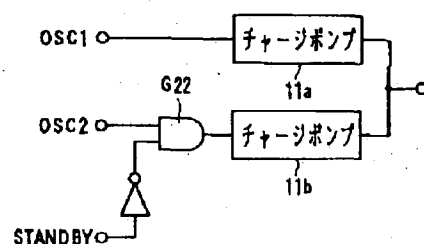
【図24】図22の回路内の昇圧回路1を、図23の昇圧回路1aに変更した図。

【図25】従来の不揮発性半導体メモリの構造を説明する図。

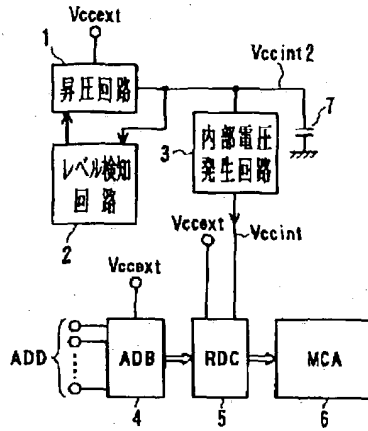
【符号の説明】

- 1 昇圧回路
- 2 レベル検知回路
- 3 内部電圧発生回路
- 4 アドレスバッファ (ADB)
- 30 5 アドレスデコーダ (RDC)
- 6 メモリセルアレイ (MCA)
- 7 安定化コンデンサ
- 11 チャージポンプ
- 12 オシレータ
- 21 第1のレベル検知回路
- 22 第2のレベル検知回路
- 25 ローパワーアンプ
- 27 定電流源部
- 28 差動増幅部

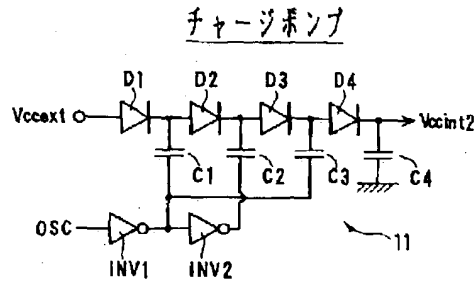
【図7】



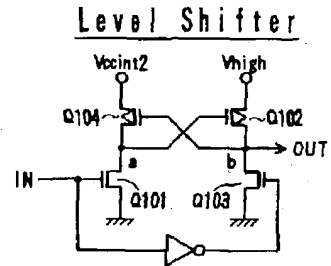
【図1】



【図2】

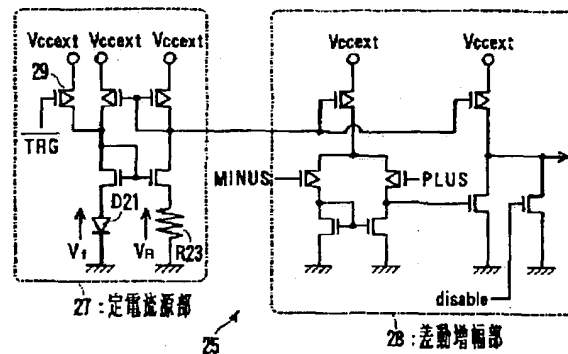


【図11】

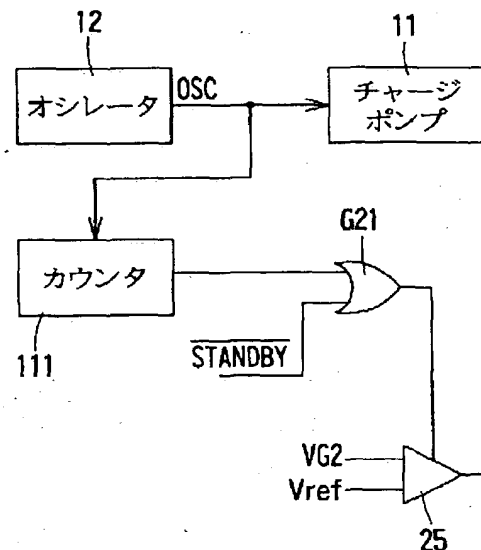


【図5】

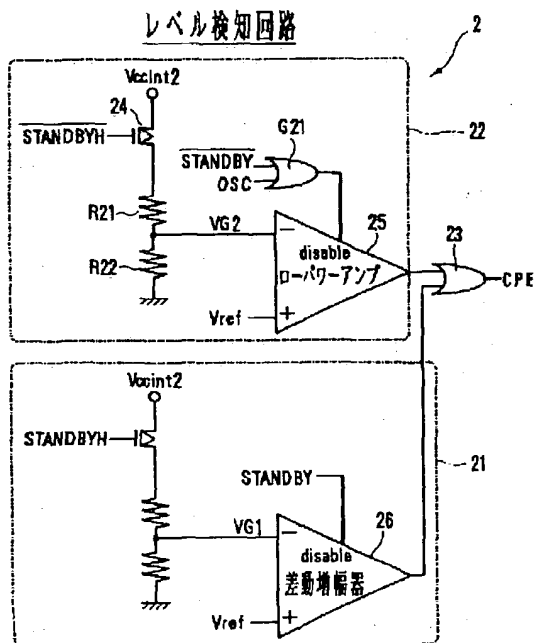
Low Power AMP



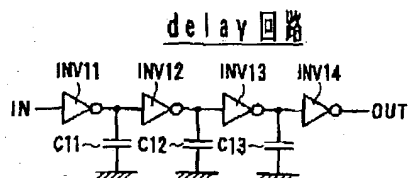
【図6】



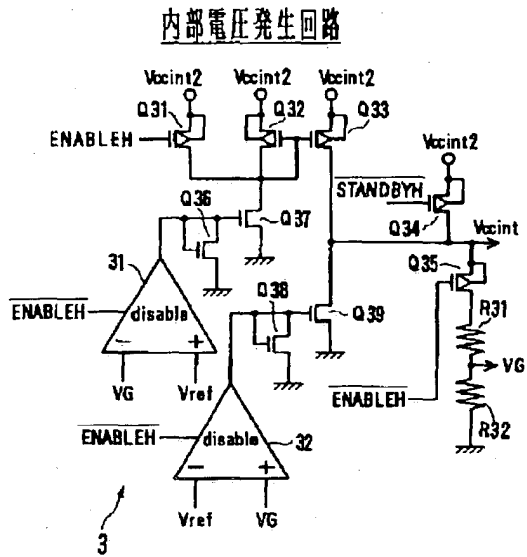
【図4】



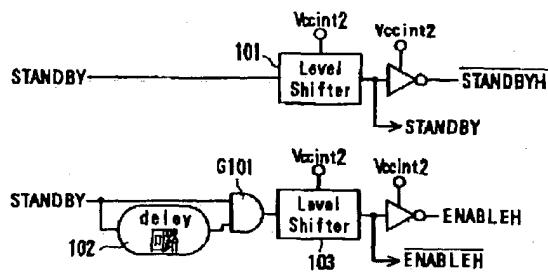
【図12】



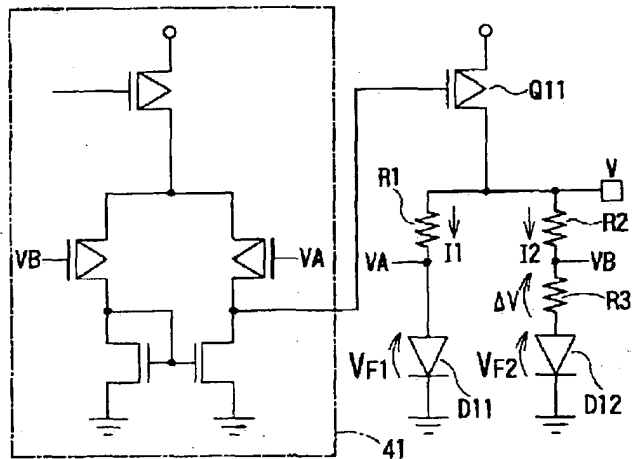
【図8】



【図10】

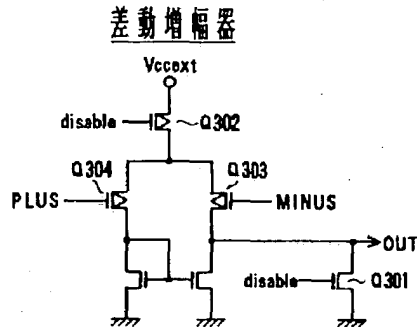


【図14】

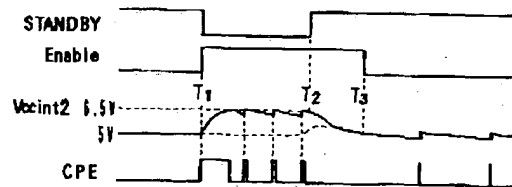


30

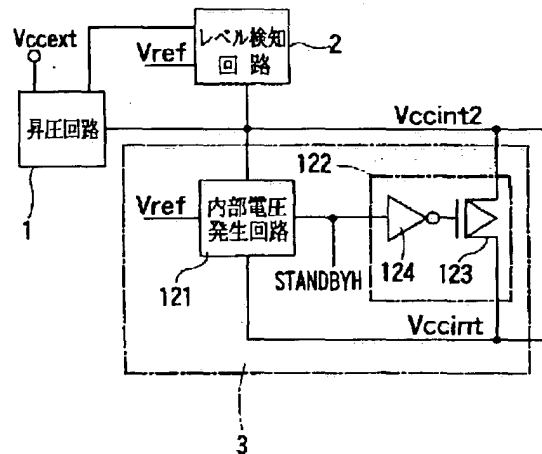
【図9】



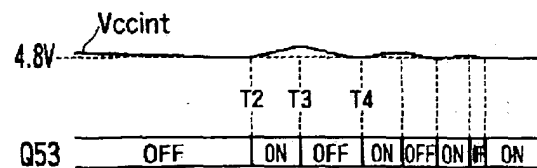
【図13】



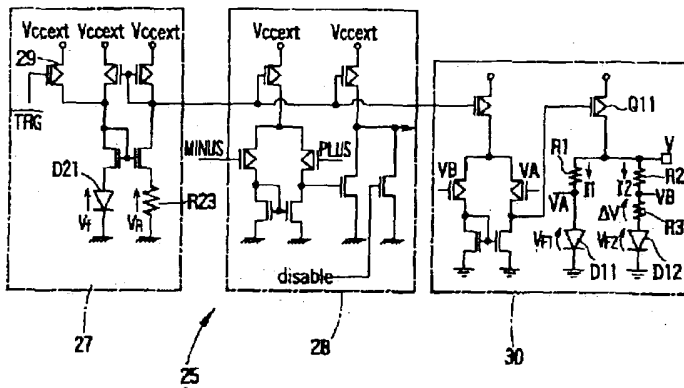
【図16】



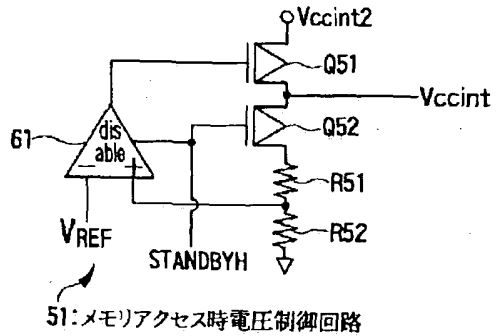
【図21】



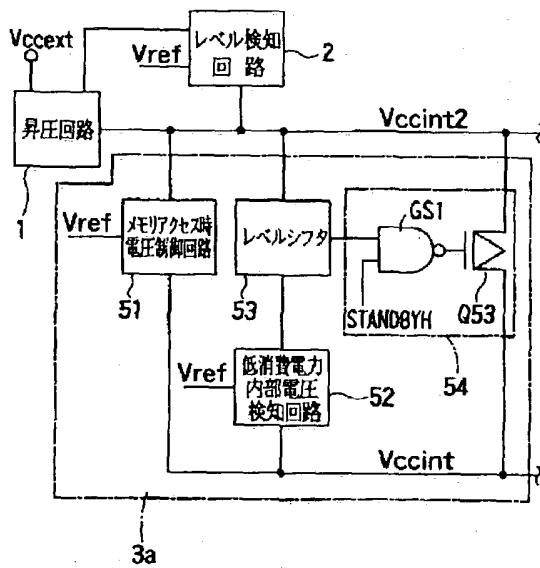
【図15】



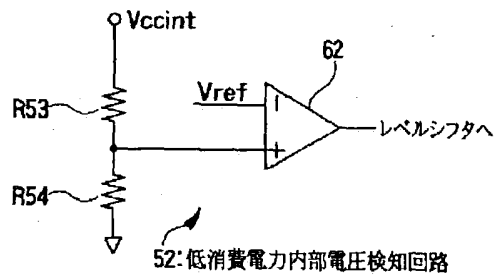
【図18】



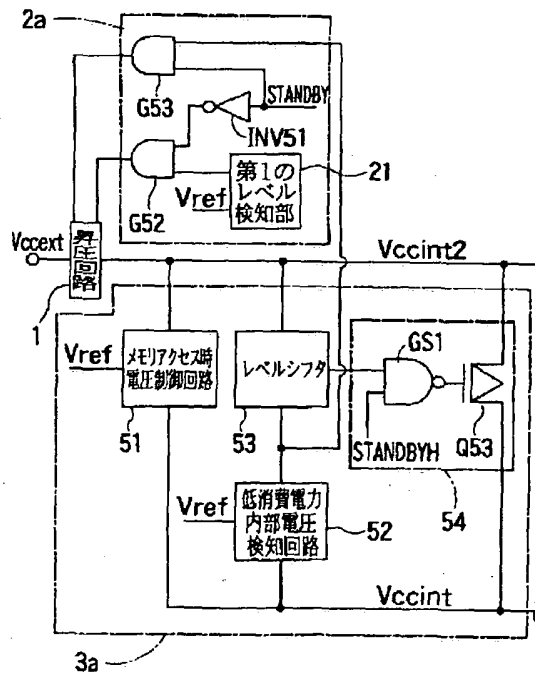
【図17】



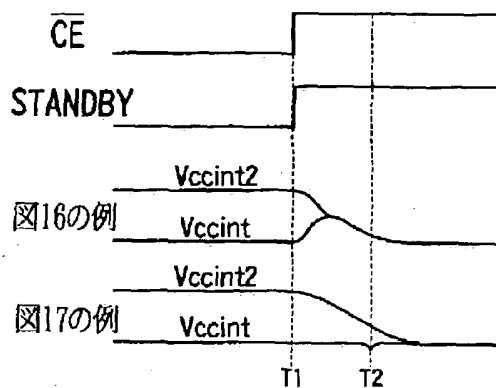
【図19】



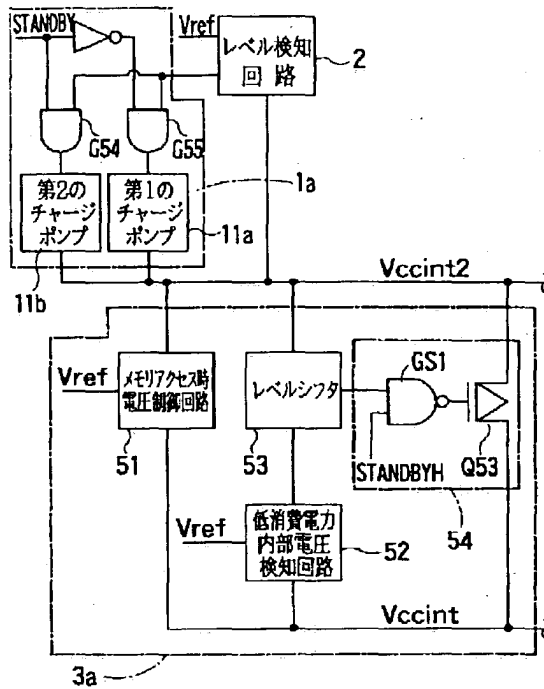
【図22】



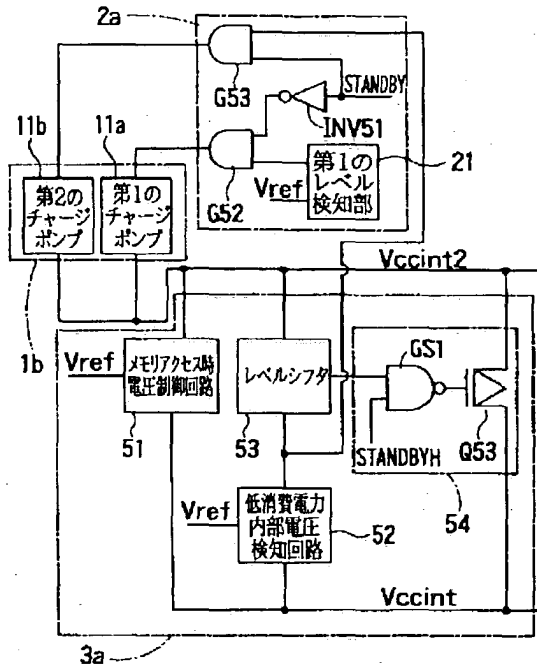
【図20】



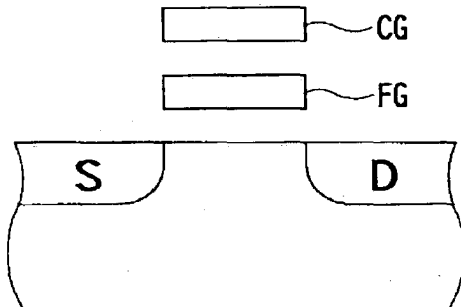
【図23】



【図24】



【図25】



フロントページの続き

(72)発明者 梅 沢 明
 神奈川県川崎市幸区堀川町580番1号 株
 式会社東芝半導体システム技術センター内